

Revisión Teórica Electrónica y Física de un Transistor de Efecto de Campo de Unión pn

Electronic, Physical and Theoretical Review of a pn junction Field Effect Transistor

Revisão Teórica Eletrônica e Física de um transistor de Efeito de Campo de União pn

Franco Maloberti¹, Daniel Augusto Castellanos Coronado², Edwin Javier Sánchez Uriza³

^{1,2}Laboratorio de Microsistemas Integrados, IMS, Doctorado en Microelectrónica, Universidad de Pavía, Pavía, Italia

franco.maloberti@unipv.it, danielaugusto.castellanoscor01@universitadipavia.it

³Laboratorio de Energía, Doctorado de Investigación en Ingeniería Electrónica, Informática y Eléctrica, Universidad de Pavía, Pavía, Italia

edwinjavier.sanchezuri01@universitadipavia.it

^{2,3}Grupo de Investigación BINÁ, Facultad de Ingeniería, Fundación Universitaria Juan de Castellanos, Tunja, Colombia.

dcastellanos@jdc.edu.co, esanchez@jdc.edu.co

Recibido / Received: 21/07/2015 – Aceptado / Accepted: 05/09/2015

Resumen

Esta revisión de la Electrónica y la Física del transistor de efecto de campo de unión pn pretende explicar y entender los mecanismos de su funcionamiento. Este tipo de transistor hace uso del siguiente mecanismo, variando el ancho de la capa de deserción de una unión pn, modula un voltaje de polarización; aplicado a la unión, este dispositivo hace uso de este mecanismo, para controlar la corriente que pasa a través de una región acotada por una o más uniones pn. Como fluye baja corriente hacia la unión pn con polarización inversa, entonces consume una pequeña cantidad de potencia en el electrodo de control, por lo tanto la corriente controlada entrega más potencia. Esta es la explicación sintetizada del dispositivo que se llama transistor de efecto de campo, de unión pn (JFET, junction field effect transistor) y se usa como un amplificador de potencia.

Palabras clave: unión Pn, capa de deserción, corriente saturación, voltaje saturación, transistor efecto de campo.

Abstract

This revision of the Electronics and Physics field effect transistor pn junction aims to explain and understand the mechanics of its operation. This type of transistor uses the following mechanism varying the width of

the depletion layer in a pn junction modulates a bias voltage applied to the junction, the device uses this mechanism, to control the current passing through a region bounded by one or more pn junctions. As low stream flows to the pn junction reverse biased, then it consumes a small amount of power to the control electrode, therefore the controlled current delivers more power. This is the explanation synthesized of the device called field effect transistor, pn junction (JFET junction field effect transistor) and is used as a power amplifier.

Keywords: Pn union, desertion region, saturation current, saturation voltage, junction field effect transistor.

Resumo

Esta revisão do sistema eletrônico e da física do transistor de efeito de campo de união pn tem o objetivo de explicar e compreender os mecanismos de seu funcionamento. Este tipo de transistor usa o mecanismo seguinte, variando a largura da capa de deserção de uma união pn, modula uma tensão de polarização; aplicada à união, este dispositivo utiliza este mecanismo, para controlar a corrente que passa através de uma região delimitada por uma ou mais uniões pn. Como baixa corrente flui para a união pn com polarização reversa, então ele consome uma pequena quantidade de energia no eletrodo de controle, portanto, a corrente controlada proporciona mais potência. Esta é a explicação sintetizada do dispositivo chamado transistor de efeito de campo de união pn (JFET, Junction Field Effect Transistor) e é utilizado como um amplificador de potência.

Palavras-chave: união pn, capa de deserção, corrente de saturação, saturação de tensão, transistor de efeito de campo.

I. INTRODUCCIÓN

A los transistores de efecto de campo se les conoce abreviadamente como FET (Field Effect Transistor), entre ellos podemos distinguir dos grandes tipos: Transistor de Efecto de Campo de Unión: JFET (Junction Field Effect Transistor) y Transistor de Efecto de Campo Metal - Óxido - Semiconductor: MOSFET (Metal Oxide Semiconductor Field Effect Transistor).

Vamos a comenzar el estudio de este tipo de transistores viendo algunas de las principales analogías y diferencias existentes entre los transistores FET y los BJT. La principal diferencia entre ambos radica en el hecho de que el transistor BJT es un dispositivo controlado por corriente, mientras que los transistores FET son dispositivos controlados por tensión. En ambos casos, la corriente del circuito de salida es controlada por un parámetro del circuito de entrada, en un caso el nivel de corriente y en el otro el nivel de tensión aplicada. En los transistores FET se crea un campo eléctrico que controla la anchura del camino de

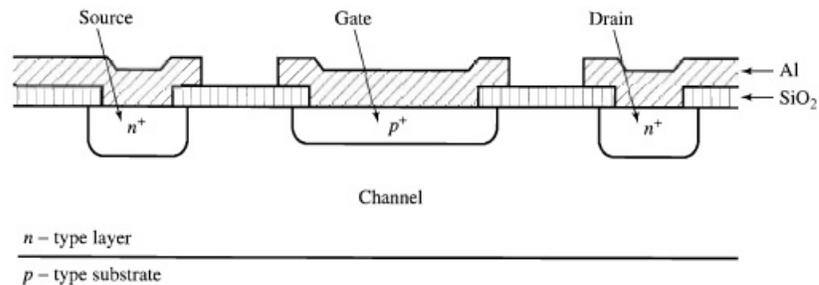
conducción del circuito de salida sin que exista contacto directo entre la magnitud controlada (corriente) y la magnitud controladora (tensión). En los transistores FET se crea un campo eléctrico que controla la anchura del camino de conducción del circuito de salida sin que exista contacto directo entre la magnitud controlada (corriente) y la magnitud controladora (tensión) [1], [4]. De forma análoga, como en los transistores bipolares, existen dos tipos npn y pnp, en los transistores de efecto de campo se habla de transistores FETs de canal n y de canal p. Una diferencia importante entre ambos tipos de transistores consiste en que mientras que los transistores BJT son bipolares, es decir, en la corriente intervienen los dos tipos de portadores (electrones y huecos), los transistores FET son unipolares, en los que el nivel de conducción dependerá únicamente de un único tipo de portadores: de los electrones en los de canal n y de los huecos en los de canal p.

Una de las características más importantes de los FETs es su alta impedancia de entrada con niveles que pueden variar desde uno hasta varios cientos de

megaohmios, muy superiores a la que presentan los transistores bipolares que presentan impedancias de entrada del orden de unos pocos kilo ohmios [8], [12]. Esto proporciona a los FET una posición de ventaja a la hora de ser utilizados en circuitos amplificadores. Sin embargo, el transistor BJT presenta mayor sensibilidad a los cambios en la señal aplicada, es decir, la variación de la corriente de salida es mayor en los BJT que en los FET para la misma variación de la tensión aplicada. Por ello, típicamente, las ganancias de tensión en alterna que presentan los amplificadores con BJT son mucho mayores que las correspondientes a los FET. En general, los FET son más estables con la temperatura y, normalmente, más pequeños en construcción que

los BJT, lo que les hace particularmente útiles en circuitos integrados (sobre todo, los MOSFET). Una característica importante de los FET es que se pueden comportar como si se tratasen de resistencias o condensadores, lo que posibilita la realización de circuitos utilizando única y exclusivamente transistores FET [9], [20].

La estructura que se detalla en la Fig. 1, compuesta por una capa de tipo n débilmente contaminada, encima de un sustrato tipo p, para obtener esta estructura se hace crecer una capa epitaxil tipo n sobre un sustrato tipo p, por lo tanto la región tipo n es relativamente uniforme y controla bien la concentración del contaminante.



Fuente: Los autores, 2014.

Fig. 1. Estructura básica de un transistor de efecto de campo de unión pn de canal n.

La región tipo n está mínimamente contaminada, limitada por el sustrato tipo p y una difusión de compuerta tipo p. Luego que se forma uniformemente la capa tipo n, mínimamente contaminada, se añaden por difusión dos regiones tipo n máximamente contaminadas (denotadas por n*) como se muestra en la Fig. 1, de manera que resulta un buen contacto óhmico. Es decir, al estudiar los contactos metal semiconductor, se consideran casos en los que se disminuyen los portadores mayoritarios en el semiconductor, en relación con la densidad de dichos portadores en el volumen, cerca del metal y en los que existe una barrera para la transferencia de electrones desde el metal. En otras palabras, cualquier voltaje aplicado se despliega a través de la región de la unión y las corrientes acotadas por el contacto. El caso contrario, en el cual el mismo contacto tiene una resistencia mínima al flujo de la corriente, cuando se compara con la del volumen, define un contacto óhmico. Cuando se aplica un

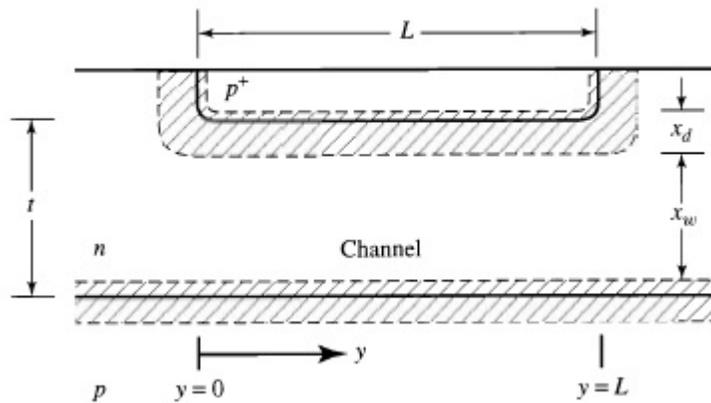
voltaje a través de un elemento, la caída de voltaje a través de un contacto óhmico es mínima, comparada con cualquier caída de voltaje en el volumen.

Los electrodos n+ se denominan electrodos fuente y drenaje. La fuente es el electrodo que proporciona los portadores totales al canal. Es decir, en un Transistor JFET de canal n, fluye corriente convencional del drenaje hacia la fuente [13], [24]. La unión pn encima del canal, en la Fig. 1, su función es como elemento de control, cuando se le aplica una polarización inversa, se conoce como compuerta. El canal se define, en la parte superior, por la zona de deserción de la compuerta y en la parte inferior por la zona de deserción en la unión pn del sustrato, por lo general está al potencial de tierra. Entonces, si el drenaje se polariza positivamente, hay flujo de corriente del drenaje a la fuente, por medio del canal. Ahora, si conecta la fuente a tierra y se aplica un voltaje negativo al electrodo p, entonces

la región de deserción de la unión se ensancha y el canal se angosta, a medida que el canal se angosta, se acelera la resistencia y disminuye el flujo de corriente del drenaje hacia la fuente. Por lo tanto, una señal aplicada a la compuerta controla la corriente que fluye a través del canal [1], [10]. Con el fin de analizar el JFET desde el punto de vista electrónico y físico, primero se considera una polarización muy pequeña.

II. ANÁLISIS DEL DISPOSITIVO JFET

Para analizar el dispositivo JFET, se necesita una polarización mínima, V_D , aplicada al electrodo de drenaje, de modo que la fuente se conecta a tierra. Bajo esta condición, la polarización compuerta canal y, por consiguiente, el ancho de la región de deserción de la compuerta es uniforme en todo el canal. El voltaje de la compuerta se denota con V_G .



Fuente: Los Autores, 2014.

Fig. 2. Región del Canal de un Transistor JFET con longitud de compuerta L.

En la Fig. 2, se muestra una vista ampliada de la región del canal, con una estructura en una sola dimensión, con una longitud de compuerta L, entre las regiones de fuente y drenaje. La corriente de drenaje fluye a lo largo de la longitud L. Con una unión de escalón unidimensional, en la compuerta, con N_a en la región p mucho mayor que N_d en el canal, de manera que, la capa de deserción se extiende hacia el canal n [18], [23]. La distancia t es entre la compuerta tipo p y el sustrato, x_d es la distancia del espesor de la región de deserción de la compuerta en el canal n, y x_w es el espesor de la porción neutra del canal. Para que la compuerta funcione, se necesita una zona de deserción en la unión con el sustrato, de modo que $x_w = (t - x_d)$ [2], [13]. La resistencia de la región del canal puede escribirse así:

$$R = \frac{\rho L}{x_w W} \quad (1)$$

Donde $\rho = (q\mu N_d)^{-1}$ es la resistividad del canal. La corriente de drenaje es

$$I_D = \frac{V_D}{R} = \left(\frac{W}{L}\right) (q\mu_n N_d x_w V_D) \quad (2)$$

En la ecuación (2) está la dependencia respecto al voltaje de compuerta, $x_w = (t - x_d)$

Donde a partir de la ecuación

$$x_d = x_n + x_p = \sqrt{\left[\frac{2\epsilon_s}{q} \left(\frac{1}{N_a} + \frac{1}{N_d} \right) (\phi_i - V_a) \right]}$$

x_d es

$$x_d = \sqrt{\frac{2\epsilon_s}{q} (\phi_i - V_G)} \quad (3)$$

Y ϕ_i es el potencial empotrado. Ahora, la corriente como función de los voltajes de compuerta y de drenaje puede escribirse como

$$I_D = \frac{W}{L} q\mu_n N_d \left[1 - \sqrt{\left(\frac{2\epsilon_s}{qN_d t^2} (\phi_i - V_G) \right)} \right] V_D \quad (4)$$

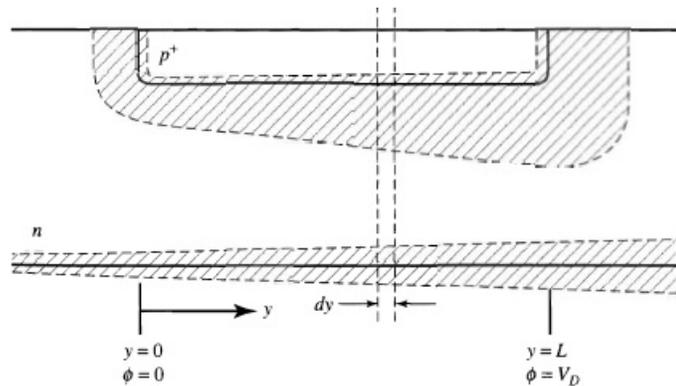
La conductancia G_0 de la región n es $\frac{W}{L} q\mu_n N_d$, de modo que la ecuación (4) puede reescribirse como

$$I_D = G_0 \left[1 - \sqrt{\left(\frac{2\epsilon_s}{qN_d t^2} (\phi_i - V_G) \right)} \right] V_D \quad (5)$$

El voltaje de compuerta tiene una relación lineal entre L_D y V_D , debido a los pequeños voltajes de drenaje aplicados. En la ecuación (5), el voltaje de compuerta tiene raíz cuadrada, debido a la suposición de unión abrupta compuerta canal. Además, se ve que la corriente es máxima a un voltaje de compuerta aplicado igual a cero, y decrece a medida que $|V_G|$ crece. La ecuación predice corriente cero, cuando el voltaje es suficientemente grande debido a que agota la región completa del canal [20], [24].

Ahora puede verse la Física que fundamenta el funcionamiento del dispositivo, se quita la restricción de voltajes de drenaje pequeños y se considera para valores V_D y V_G cualesquiera (con la condición de que la compuerta siempre debe estar en polarización inversa) [3], [16], [21]. Con V_D cualesquiera, el voltaje entre el canal y la compuerta es una función de la posición y . Por lo tanto, el ancho de la región de deserción, también la sección transversal del canal, varía con la posición. El voltaje a través de la región de deserción es más alto cerca del drenaje, que cerca de la fuente en este dispositivo de canal. Concluyendo, la región de deserción es más ancha cerca del drenaje, como lo muestra la Fig. 3.

La aproximación de canal supone que los anchos del canal y de la capa de deserción varían lentamente de la fuente hacia el drenaje, de forma que la región de deserción recibe la influencia de los campos en la dimensión vertical y no de los campos que se extienden del drenaje hacia la fuente. Es decir, en las regiones de deserción, el campo en la dirección y es mucho menor que aquel en la dirección x [22], [25].



Fuente: Los Autores, 2014.

Fig. 3. Región del canal JFET mostrando la variación del ancho de las regiones de deserción, en todo el canal, cuando el voltaje de drenaje es más grande que el voltaje de la fuente.

Dentro de esta aproximación, puede explicarse una expresión para el incremento del voltaje a través de una sección pequeña del canal de longitud dy en y , como

$$d\phi = I_D dR = \frac{I_D dy}{W q \mu_n N_d (t - x_d)} \quad (6)$$

El ancho x_d de la región de deserción que ahora es controlado por el voltaje $\phi_i - V_G + \phi(y)$, es el potencial en el canal, de modo que

$$x_d = \sqrt{\frac{2\epsilon_s}{qN_d} (\phi_i - V_G + \phi(y))} \quad (7)$$

Esta expresión se usa en la ecuación (6), la cual se debe integrar desde la fuente hasta el drenaje, para obtener la relación corriente-voltaje para el JFET,

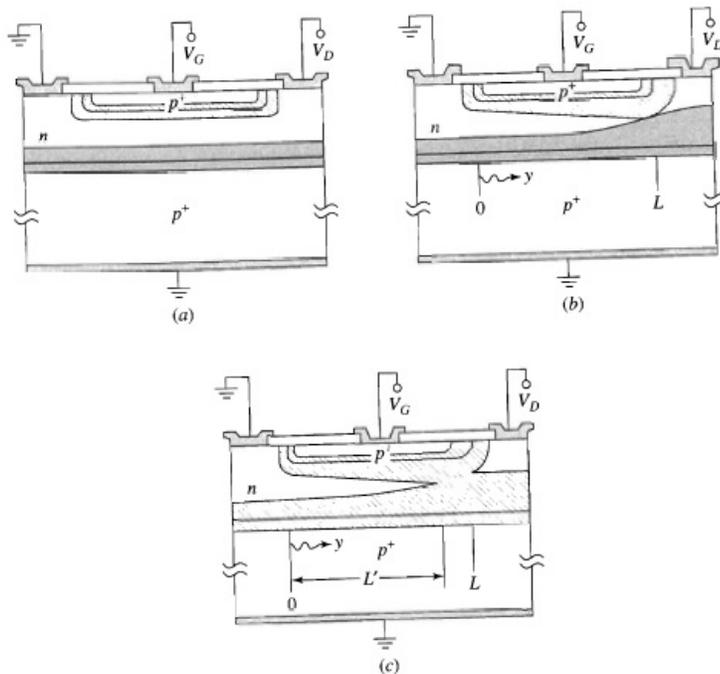
$$\frac{I_D \int_0^L dy}{Wq\mu_n N_d} = \int_0^V \left[t - \sqrt{\frac{2\epsilon_s}{qN_d} (\phi_i - V_G + \phi)} \right] d\phi \quad (8)$$

Después de integrar y reagrupar, se encuentra

$$I_D = G_0 \left[V_D - \frac{2}{3} \left(\frac{2\epsilon_s}{qN_d t^2} \right)^{\frac{1}{2}} \left[(\phi_i - V_G + V_D)^{3/2} - (\phi_i - V_G)^{3/2} \right] \right] \quad (9)$$

Con voltajes bajos, la ecuación (9) se reduce a la ecuación (5) y la corriente crece linealmente con el voltaje de drenaje, pero a medida que el voltaje de drenaje aumenta, la corriente crece de manera gradual. Con voltajes de drenaje muy grandes, la ecuación (9) indica que la corriente alcanza un máximo y empieza a decrecer, al aumentar el voltaje de drenaje. Analizando la Fig. 4, se observa que a medida que el voltaje de drenaje crece, disminuye el ancho del canal conductor, cerca del drenaje, hasta que súbitamente el canal se agota por completo en esta región (ver Fig. 4b). Cuando pasa esto, la ecuación (6) se indetermina ($x_D \rightarrow t$). Por lo tanto, estas ecuaciones son verdaderas para V_D por debajo

del voltaje de drenaje se estrangula el canal. La corriente sigue fluyendo cuando se cierra el canal, porque no hay barrera hacia el drenaje [4]. Cuando los electrones arriban a la zona estrangulada, el campo dirigido del drenaje hacia la fuente saca los electrones, a través de ella. Si se incrementa aún más la polarización de drenaje, cualquier voltaje mayor cae a través de la región agotada, con campo alto, próximo al electrodo de drenaje, y el punto donde el canal está prácticamente nulo se mueve ligeramente hacia la fuente (ver Fig. 4c). Si no se tiene en cuenta este mínimo movimiento, corriente de drenaje es constante es decir se satura, si aumenta el voltaje drenaje aún mas, esto recibe el nombre de saturación [17], [19], [21].



Fuente: Los Autores, 2014.

Fig. 4. Comportamiento de las regiones de deserción en un Transistor JFET.

En la Fig. 4(a), región de deserción para un voltaje de drenaje mínimo, el canal es aproximadamente un equipotencial y son uniformes las dimensiones de las regiones de deserción; en la Fig. 4(b), cuando se acerca V_D hasta V_{Dsat} , las dos regiones se estrangulan cuando convergen en un punto de estrangulación, $y = L$; y en la Fig. 4(c), cuando $V_D > V_{Dsat}$, en $y = L'$ en el punto de estrangulación se acerca ligeramente a la fuente [7], [9], [11].

El voltaje de drenaje donde el canal se disminuye totalmente, próximo al electrodo de drenaje, se encuentra a partir de la ecuación

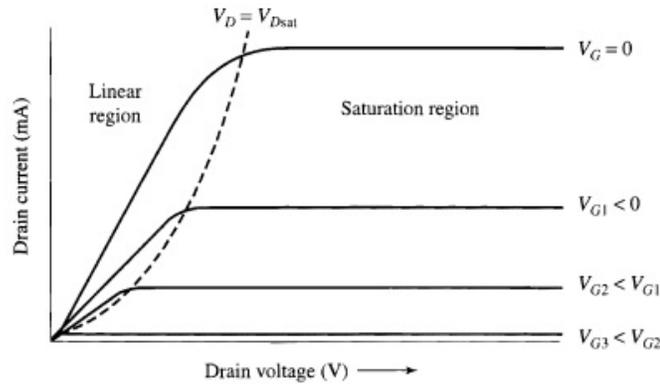
$$x_d = \sqrt{\frac{2\epsilon_s}{qN_d} (\phi_i - V_G + \phi(y))} \quad \text{como}$$

$$V_{Dsat} = \frac{qN_d t^2}{2\epsilon_s} - (\phi_i - V_G) \quad (10)$$

Y la corriente de drenaje es

$$I_{Dsat} = G_0 \left[\frac{qN_d t^2}{6\epsilon_s} - (\phi_i - V_G) \left\{ 1 - \frac{2}{3} \left[\frac{2\epsilon_s (\phi_i - V_G)}{qN_d t^2} \right]^{1/2} \right\} \right] \quad (11)$$

Entonces, analizando se puede dividir la corriente de drenaje versus voltaje de drenaje, en tres regiones (ver Fig. 5); 1) La región lineal a voltajes con drenaje bajo; 2) Región sin incremento lineal de la corriente en relación al voltaje de drenaje; 3) Región de saturación, con corriente constante relativamente, cuando el voltaje de drenaje aumenta más.



Fuente: Referencias [6], [7], [8]

Fig. 5. Características de salida de corriente de drenaje en función de voltaje de drenaje de un Transistor de unión pn JFET, como una función del voltaje de compuerta.

A partir de la ecuación (11), nos informa que la corriente es máxima con una polarización cero de compuerta, y decrece a medida que se aplica un voltaje de compuerta negativo, con esta condición, el voltaje de drenaje en la saturación y la corriente decrece se generan una familia de curvas (ver Fig. 5), cada curva muestra la corriente de drenaje en función del voltaje de drenaje para un valor especial de la compuerta. Con un valor muy grande negativamente del voltaje de compuerta, la corriente de drenaje se vuelve en saturación, es cero. A partir de la ecuación (11), se encuentra el voltaje de no conducción V_T como

$$V_T = \phi_i - \frac{qN_d t^2}{2\epsilon_s} \quad (12)$$

La corriente de drenaje se incrementa sutilmente, a medida que el voltaje de drenaje crece más allá de V_{Dsat} , debido a que el punto extremo para la integral de la ecuación (8) se vuelve L' , donde L' es el punto donde el canal se agota totalmente [$\phi(L') = V_{Dsat}$] (ver Fig. 4) [11], [15], [16].

Los transistores de Efecto de campo típicamente funcionan en región de saturación, es decir la corriente de salida no afecta en nada al voltaje de salida, sino por el voltaje de entrada. La

transconductancia g_m del JFET [5], [12], [14], da significado a la efectividad del control de la corriente

de drenaje, por medio del voltaje de compuerta y se define como

$$g_m = \frac{\partial I_D}{\partial V_G} | V_D = \text{constante} \quad (13)$$

Se obtiene, derivando la ecuación:

$$I_D = G_0 \left[V_D - \frac{2}{3} \left(\frac{2\epsilon_s}{qN_d t^2} \right)^{\frac{1}{2}} \left[(\phi_i - V_G + V_D)^{3/2} - (\phi_i - V_G)^{3/2} \right] \right]$$

$$g_m = G_0 \left(\frac{2\epsilon_s}{qN_d t^2} \right)^{\frac{1}{2}} \left[(\phi_i - V_G + V_D)^{1/2} - (\phi_i - V_G)^{1/2} \right] \quad (14)$$

Cuando está en región de saturación, g_m obtiene un valor máximo

$$g_{msat} = G_0 \left[1 - \left(\frac{2\epsilon_s}{qN_d t^2} (\phi_i - V_G)^{1/2} \right)^{\frac{1}{2}} \right] \quad (15)$$

Haciendo el ejercicio del análisis, se deben hacer varias suposiciones para lograr una mayor simplificación. Pasando a la realidad, estas hipótesis no son válidas como para tener una igualdad entre la parte teórica y la parte experimental [14], [23].

mecanismos responsables son: avalancha y efecto túnel.

El funcionamiento de un JFET depende directamente de la modulación del ancho de la capa de deserción, en una unión pn inversamente polarizada, este voltaje de polarización inverso modula la corriente, esto hace que fluya esa corriente a través de una región que contenga una sección transversal que dependa de la capa de deserción.

III. CONCLUSIONES

Habiendo visto cualitativamente la base del funcionamiento del JFET, se encontró un resultado directo para desarrollar una teoría cuantitativa para el dispositivo. Estas ideas desarrolladas resultan útiles para el estudio posterior del MOS o transistor de efecto de campo con compuerta aislada (MOSFET o IGFET).

El ancho de la capa de deserción es controlada por la unión compuerta-canal, y no por la unión canal sustrato. Existe una variación del potencial a través de la unión canal sustrato, a lo largo del canal, con el potencial máximo y el espesor de la capa de deserción cerca del drenaje.

Cuando en una unión pn con polarización inversa se tiene un aumento pronunciado de corriente, aparece un fenómeno llamado ruptura, cuyos dos

REFERENCIAS

- [1] J. P. Mckelvey, Solid State and Semiconductors Phisics, Harpers & Row Publishers Inc. , 2006, pp. 421-439.
- [2] R. S. Muller, Device Electronics for Integrated Circuits, Jhon Wiley & Sons Inc. , 2003, pp. 259-289.
- [3] A. S. Sedra, and C. K. Smith, Microelectronics Circuits, Oxford Press, 2002, pp-295-303.
- [4] R. L. Boylestad, Electronic Devices and Circuits Electronics, Third Edition, Pearson Prentice Hall, 2009, pp. 480-500.

- [5] E. Boysen, and H. Kivett, *Compleat Electronics Self Teaching Guide*, Jhon Wiley & Sons Inc, 2012 pp. 361-360.
- [6] S. G. Burns, and P. R. Bond, *Principles of Electronic Circuits*, St Paul, MN: West Publishing Co. , 2007.
- [7] R. A. Colclaser, D. A. Reamen, and C. F. Hawkins, *Electronic Circuit Analysis: Basic Principles*, New York: John Wiley and Sons, Inc., 2004.
- [8] M. S. Gaussi, *Electronic Devices and Circuits: Discrete and Integrated*, New York: Holt, Rinehart, and Winston, 2008
- [9] A. R. Hambley, *Electronics*, New York: Macmillian Publishig Co., 2004
- [10] W. H. Hayt, and Jr. Y G. W. Neudeck, *Electronic Circuit Analysis and Design*, 2nded. Boston: Houghton Mifflin Co. , 2004.
- [11] M. N. Horenstein, *Microelectronics Circuit and Device*, 6th. ed., GlewoodCliffs, N. J: Prentice Hall Inc. , 2005.
- [12] P. Horowitz, and W. Hill, *The Art of Electronics*, 2nd. ed. New York: Cambridge University Press, 1999.
- [13] J. Millman, and A. Graybel, *Microelectronics*, 2nd. ed. New York: McGraw-Hill Book Co. , 2007.
- [14] C. J. Savant, M. S. Roden, and G. L. Carperter, *Electronic Circuit Design: An Engineering Approach*, 2nd. ed. Redwood, CA. : The Benjamín-Cummings Publishing Co. , 2001.
- [15] W. Banzhap, *Computer-Aided Circuit Analysis Using PSpice*, 2nd. ed. Englewood Cliffs, N. J: Prentice Hall Inc. , 2010.
- [16] W. L. Brown, and A. Y. J. Szeto, “Verifying Spice Results with Hand Calculations: Handling Common Discrepancies”, in *IEEE Transaction on Education*, vol. 37, no. 4, pp. 358-368, 2004.
- [17] M. H. Rashid, “SPICE for Circuit and Electronics Using Pspice”, in Englewood Cliffs, N. J: Prentice Inc. , 2011
- [18] S. Naranjan, “An Effective Approach to Obtain Model Parameters for BJTs and FETs from Data books”, in *IEEE Transactions of Education*, vol. 35, no. 2, pp. 164-169, 2002.
- [19] C. Searle, A. Boothroyd, A. E. (Jr) Gray, and P. Pederson, *Propiedades de Circuito Elementales de los Transistores*, Tomo 3 de la serie SEEC, Barcelona, España: Ed. Reverté S. A., 2001.
- [20] R. Thornton, C. Searle, D. Pederson, R. Adler, and E. (Jr) Angelo, *Circuitos Multietapa de Transistores*, Tomo 5 de la serie SEEC, Barcelona, España: Ed. Reverté S. A., 2005.
- [21] P. Gray, and R. Meyer, *Analysis and Design of Analog Integrated Circuits*, NY, USA: Ed. John Wiley & Sons Inc. , 2007.
- [22] J. Millman, and C. Halkias, *Integrated Electronics*, Tokyo, Japan: Ed. McGrawHillKogakusha, 2002.
- [23] Texas Instruments, *Preferred Semiconductors and Components from Texas instruments*, Dallas, 2008.